

(19) KOREAN INTELLECTUAL PROPERTY OFFICE (KR)
(12) PATENT LAID-OPEN GAZETTE (A)

(51) \circ Int. Cl. ⁶

H03L 7/16

(11) Laid-Open Publication No.: 2002-0028418

(43) Laid-Open Publication Date: April 17, 2002

(21) Application No. 10-2000-0059408

(22) Filing Date: October 10, 2000

(71) Applicant: Jong Yong YOON Samsung Electronics Co., Ltd.
416, Maetan 3-dong, Paldal-gu, Suwon-si, Kyungki

(72) Inventor: Sang O LEE
20-905 Hyundai Apt., 1436-1, Seocho 1-dong, Seocho-gu, Seoul

(74) Patent Attorney(s) Young Pil LEE, Sang Bin JUNG, Rae Ho LEE

Request for Examination: Yes

(54) FRACTIONAL-N FREQUENCY SYNTHESIZER USING SIGMA-DELTA
MODULATOR AND METHOD THEREOF

ABSTRACT

A fractional-N frequency synthesizer using a sigma-delta modulator and a method thereof are provided. The fractional-N frequency synthesizer having a phase locked loop type detects phases and frequencies of a comparison frequency signal and voltage controlled oscillation frequency signal divided by a predetermined division ratio, and generates the voltage controlled oscillation frequency signal by the phase/frequency detection result. The fractional-N frequency synthesizer comprises a sigma-delta modulator, a first addition means and a dual modulus divider. The sigma-delta modulator sigma-delta-modulates an external input signal with a fixed feedback coefficient, and generates a division ratio signal having a fractional type as the modulated result to output a 1-bit signal. The first additional means adds previously set first and second figures with the 1-bit output signal outputted from the sigma-delta modulator. The dual modulus divider changes a dual modulus counting value in response to an output signal from the first additional means, and performs a modulus control operation by the changed counting value to determine a division ratio of a voltage controlled oscillation signal represented by an integer or a fractional number. Accordingly, the fractional-N frequency synthesizer removes large spur generated in a specific period, reduces phase noise, and regulates frequency resolution accurately.

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)(51) Int. Cl.⁷
H03L 7/16

(11) 공개번호 특2002-0028418

(43) 공개일자 2002년04월17일

(21) 출원번호 10-2000-0059408

(22) 출원일자 2000년10월10일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기 수원시 팔달구 매탄3동 416

(72) 발명자 이상오

(74) 대리인 서울특별시서초구서초1동1436-1현대아파트20동905호

(74) 대리인 이영필, 정상빈, 이래호

심사결과 : 있음

(54) 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치 및 그 방법

요약

시그마-델타 변조기를 이용한 분수-N주파수 합성 장치 및 그 방법이 개시된다. 본 발명에 따른 시그마-델타 변조기를 이용한 분수-N주파수 합성 장치는, 비교 주파수 신호와, 소정 분주비에 의해 분주된 전압 제어 발진 주파수 신호를 위상/주파수 검출하고, 위상/주파수 검출된 결과에 의해 전압 제어 발진 주파수 신호를 생성하는 위상 동기 루프 형태의 분수-N 주파수 합성 장치에 있어서, 시그마-델타 변조기, 제1가산 수단 및 듀얼 모듈러스 분주기를 구비한다. 시그마-델타 변조기는, 다수 비트로 표현되는 외부 입력 신호와, 설정된 피드백 계수를 가지고, 외부 입력 신호와 피드백 계수에 응답하여 시그마-델타 변조하며, 변조된 결과로서 분수 형태의 분주비 신호를 생성하여 1비트 신호로서 출력한다. 제1가산 수단은, 시그마-델타 변조기에서 출력되는 1비트 출력 신호와 미리 설정된 제1, 제2소정 수를 가산한다. 듀얼 모듈러스 분주기는, 제1가산 수단의 출력에 응답하여 듀얼 모듈러스 카운팅 값을 변화시키고, 변화된 카운팅 값에 의해 모듈러스 제어를 수행하여, 정수 및 분수 형태로 표현되는 전압 제어 발진 신호의 분주비를 결정한다.

본 발명에 따르면, 분수-N 주파수 합성 장치는 특정 구간에서 발생하는 큰 스퍼(Spur)를 없앨 수 있고, 위상 노이즈를 감소시킬 뿐만 아니라, 주파수 해상도를 정확히 조절할 수 있다는 효과가 있다.

도표도

도2

명세서

도면의 간단한 설명

도 1은 종래의 분수-N 주파수 합성 장치에 이용된 매쉬 타입 변조기를 설명하기 위한 회로도이다.

도 2는 본 발명의 실시예에 따른 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치를 설명하기 위한 블록도이다.

도 3은 도 2에 도시된 장치의 시그마-델타 변조기를 설명하기 위한 실시예의 회로도이다.

도 4(a) 및 도 4(b)는 도 1에 도시된 종래의 변조기와 도 3에 도시된 본 발명의 변조기에 대한 신호/잡음(S/N)비를 비교하기 위한 도면들이다.

도 5는 도 2에 도시된 장치의 시그마-델타 변조기를 설명하기 위한 다른 실시예의 회로도이다.

도 6은 본 발명에 따른 분수-N 주파수 합성 방법을 설명하기 위한 플로우차트이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 주파수 합성 장치에 관한 것으로서, 특히, 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치 및 그 방법에 관한 것이다.

최근에는, 무선 통신을 이용하는 사용자들에 의해 실시간 멀티미디어 데이터 서비스에 대한 요구가 급증하고 있다. 즉, 사용자들은 이동 통신 단말기를 통하여 고속 인터넷 접속 뿐 아니라, 영상 데이터까지도 실시간으로 수신하고자 하는 욕구를 가진다. 이러한 추세에 따라서, 최근에 개발된 CDMA(Code Division

Multiple Access) 2000에서는 종래의 CDMA/PCS(Personal Communication System) 대역에서도 144kbps의 고속 데이터 서비스가 가능하게 되었다. 이와 같은 고속 데이터 서비스에 요구되는 프로그래머블 채널 선택기인 주파수 합성 장치(Frequency Synthesizer)는 500us이하의 고속 정착(settling) 시간, 10kHz 간격의 정확한 주파수 해상도, 1MHz 오프셋 주파수 부근에서 -135dBc/Hz 이하의 위상 노이즈를 동시에 만족해야 한다. 특히, 고속 정착 시간의 요구를 충족시키기 위해서, 주파수 합성 장치는 적어도 10kHz 이상의 PLL 루프 대역폭을 가져야 한다.

종래에는, CDMA 또는 PCS에 정수-N 주파수 합성 장치가 널리 사용되었다. 그러나, 이러한 정수-N 주파수 합성 장치는 비교 주파수와 채널 대역폭이 같아야 하는 구조적 제약을 갖는다. 주파수 합성 장치에서 채널 대역폭은 정확한 채널 선택을 위한 주파수 해상도로 정의될 수 있다.

즉, 채널 대역폭이 각각 30kHz/10kHz로 비교적 낮은 CDMA/PCS와 같은 이동 단말 시스템에서는, 루프 대역폭이 30kHz/10kHz보다 훨씬 낮게 사용되어야 한다. 이로 인해, 정수-N의 주파수 합성 장치는 수 ms이하의 고속 정착 시간을 필요로 하는 시스템에는 사용될 수 없다는 제한점이 있다.

또한, 종래에는 정수-N 주파수 합성 장치 뿐만 아니라, 분수-N (fractional-N) 주파수 합성 장치들도 사용된 바 있다. 그러나, 이러한 분수-N 주파수 합성 장치들은 대부분 멀티-비트 변조기 또는 매쉬(MASH) 타입의 변조기를 사용한다. 일반적인 주파수 합성 장치들은 변조기를 포함한 PLL(Phase Locked Loop:이 하, PLL 이라 함) 형태로 구현된다.

도 1은 종래의 분수-N 주파수 합성 장치에 적용되는 매쉬(MASH) 타입 변조기를 설명하기 위한 회로도로서, 4차 매쉬 변조기인 경우를 나타낸다. 도 1을 참조하면, 4차 매쉬 타입 변조기는 가산기들(100a~100d), 지연 소자(120a~120c) 및 누산기들(140a~140d)로 구성된다.

정수부 입력 신호 $N(k)$ 는 분주비 중에서 정수부에 대한 입력 신호를 나타내며 가산기(100a)에 입력되고, 가산기(100b)의 출력과 더해져서 최종 분주비 신호($N_{tot}(k)$)를 생성한다. 또한, 분수부 입력 신호($f(k)$)는 분주비 중에서 분수부, 즉, 소수점 이하의 분주비에 대한 입력 신호를 나타내며, 이는 직렬 연결된 누산기들(140a~140d)을 통하여 누산된다. 각 누산기들(140a~140d)의 출력은 다음 누산기의 입력(x)으로 전달된다. 또한, 각 누산기들(140a~140d)에서 출력되는 오버플로우(ovf1)는 가산기(100b, 100c, 100d)에서 더해진다. 예를 들어, 가산기(100d)는 누산기(140d)와 누산기(140c)의 오버플로우를 가산하고, 가산된 값에서 지연 소자(120c)의 출력, 즉, 누산기(140d)의 오버플로우를 소정 시간 지연시킨 값을 감산한다. 여기에서, 감산된 값은 다시 가산기(100c)에 입력되며, 나머지 가산기들(100b, 100d)도 유사하게 동작한다. 여기에서, 가산기(100b)의 출력(s)은 신호와 노이즈가 더해진 성분으로 나타낼 수 있다.

도 1에 도시된 매쉬 타입 변조기를 사용하는 분수-N 주파수 합성 장치들은 빠른 정착 시간을 나타낸다는 특성을 갖는다. 그러나, 1MHz부근에서 위상 노이즈가 증가될 뿐 아니라, 정확한 10kHz의 해상도를 얻는데 있어서는 그다지 좋은 성능을 나타내지 못한다. 또한, ISSCC(International Solid-State Circuit Conference) 2000에 기재된, W. Rhee, A. Ali와 B. Song에 의한 논문 '3b 3차 시그마-델타 변조기를 갖는 1.1GHz CMOS 분수-N 주파수 합성기'의 198~199 페이지와, IEEE JSSC(Journal Solid State Circuit Conference) 1998년 7월의 33권에 기재된 N.M. Filali, T.A.D. Riley, C. Pielt 및 M.A. Copeland의 빌트-인 GMSK 데이터 변조를 갖는 예리한 ISM 대역 주파수 합성기'의 998~1008페이지를 참조하면, 멀티-비트 변조기를 이용하는 분수-N 주파수 합성 장치들은 특정 조건에서 -40dB 정도의 큰 스퍼(spur)를 나타내기 때문에 실제의 이동 단말기 시스템에 적용하는 것이 어렵다는 문제점이 발생할 수 있다. 즉, 멀티 비트 변조기나 매쉬 타입의 변조기는 PLL의 동작 특성 상 높은 선형성을 요구하지만, 실제 동작에서 PLL은 내부의 위상 주파수 검출기 또는 멀티 모듈러스 분주기가 나타내는 비선형성으로 인해, 높은 선형성을 나타낼 수 없다는 문제점이 있다. 따라서, 전술한 다수의 문제점들을 개선할 수 있는 보다 효과적인 주파수 합성 장치를 구현하는 것이 요구된다.

본 발명이 이루고자하는 기술적 과제

본 발명이 이루고자하는 기술적 과제는, 1MHz의 오프셋 주파수 부근에서 나타나는 위상 노이즈를 개선하고, 특정 조건에서 발생하는 스퍼(spur)를 줄이면서, 정확히 10kHz의 주파수 해상도를 얻을 수 있는, 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치를 제공하는데 있다.

본 발명이 이루고자하는 다른 기술적 과제는, 상기 분수-N 주파수 합성 장치에서 수행되는 주파수 합성 방법을 제공하는데 있다.

본 발명이 이루고자하는 또다른 기술적 과제는, 상기 분수-N 주파수 합성 장치에 구비되어 정확한 주파수 해상도를 얻을 수 있고, 하드웨어적으로 간단하게 구현될 수 있는, 시그마-델타 변조기를 제공하는데 있다.

본 발명의 구성 및 작용

상기 기술적 과제를 이루기 위해, 본 발명에 따른 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치는, 비교 주파수 신호와, 소정 분주비에 의해 분주된 전압 제어 발전 주파수 신호를 위상/주파수 검출하고, 위상/주파수 검출된 결과에 의해 전압 제어 발전 주파수 신호를 생성하는 위상 동기 루프 형태의 분수-N 주파수 합성 장치에 있어서, 시그마-델타 변조기, 제1가산 수단 및 듀얼 모듈러스 분주기를 구비한다. 시그마-델타 변조기는, 다수 비트로 표현되는 외부 입력 신호와, 소정의 설정된 피드백 계수를 가지고, 외부 입력 신호와 피드백 계수에 응답하여 시그마-델타 변조하며, 변조된 결과로서 분수 형태의 분주비 신호를 생성하여 1비트 신호로서 출력한다. 제1가산 수단은, 시그마-델타 변조기에서 출력되는 1비트 출력 신호와 미리 설정된 제1, 제2소정 수를 가산한다. 듀얼 모듈러스 분주기는, 제1가산 수단의 출력에 응답하여 듀얼 모듈러스 카운팅 값을 변화시키고, 변화된 카운팅 값에 의해 모듈러스 제어를 수행하며, 정수 및 분수 형태로 표현되는 전압 제어 발전 신호의 분주비를 결정한다.

상기 다른 기술적 과제를 이루기 위해, 본 발명에 따른 시그마-델타 변조기를 이용한 분수-N 주파수 합성

방법은, 기준이 되는 비교 주파수 신호와, 소정 분주비에 의해 분주된 전압 제어 발전 주파수 신호를 위상/주파수 검출하고, 위상/주파수 검출된 결과에 의해 전압 제어 발전 주파수 신호를 생성하는 위상 동기 루프에서 수행되는 분수-N 주파수 합성 방법에 있어서, (a)~(g) 단계를 구비한다. (a)단계는, 시그마-델타 변조를 위한 외부 입력 신호와 피드백 계수를 설정한다. (b)단계는, 외부 입력 신호와 피드백 계수에 의해 시그마-델타 변조하여 분수 형태로 표현되는 분주비 신호를 1비트로 출력한다. (c)단계는, 1비트 출력을 제1, 제2소정수와 가산하고, 가산된 값을, 메인 카운팅 값과 스칼로우 카운팅 값에 부가한다. (d)단계는, 부가된 메인 카운팅 값 및 스칼로우 카운팅 값에 의해 듀얼 모듈러스 분주를 수행한다. (e)시그마-델타 변조된 출력 상태가 변화되었는지를 판단하고, 출력 상태가 변화되지 않았으면 정수 및 분수 형태($BP+A+k/bl$, 여기에서, B와 A는 각각 제1, 제2소정수, P는 모듈러스 제어에 의해 결정된 분주비)로 표현되는 분주비를 출력한다. (f)단계는, (e) 단계에서 결정된 분주비와 비교 주파수 신호를 곱하여 전압 제어 발전 주파수 신호를 생성한다. (g)단계는, (e)단계에서 시그마-델타 변조된 출력 상태가 변화되었으면, (c) 단계로 복귀한다.

상기 또다른 기술적 과제를 이루기위해, 본 발명에 따른 시그마-델타 변조기는, 외부 입력 신호와, 소정의 피드백 계수에 응답하여 분수 형태의 분주비 신호를 생성하는 시그마-델타 변조기가 있어서, 제1-제N 변조부를 구비한다. 제1-제N 변조부는, 서로 직렬 연결되고, 외부 입력 신호와 피드백 계수를 가산 및 누산하여 시그마-델타 변조하고, 변조된 결과를 1비트 출력 신호로서 생성한다. 또한, 제1-제N 변조부는, 멀티플렉서, 가중 수단, 가산 수단 및 누산기를 구비한다. 멀티플렉서는, 양자화된 1비트 출력 신호에 응답하여 피드백 계수를 선택한다. 가중 수단은 외부 입력 신호를 소정의 내부 가중치 계수에 응답하여 가중시키고, 가중된 결과를 출력한다. 가산 수단은, 가중 수단의 출력을 정밀력 신호로서 인가하고, 멀티플렉서의 출력을 부입력으로서 인가하여 서로 가산한다. 누산기는, 가산 수단의 출력을 누산하고, 누산된 결과를 다음 단계의 변조부의 입력으로 인가한다.

이하, 본 발명에 따른 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치 및 그 방법에 관하여 첨부된 도면을 참조하여 다음과 같이 설명한다.

도 2는 본 발명의 실시예에 따른 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치를 설명하기 위한 블록도이다. 도 2를 참조하면, 주파수 합성 장치는 기준 카운터(200), 듀얼 모듈러스(Modulus) 분주기(250), 비트 컨버터(260), 디지털 시그마-델타 변조기(270), 위상/주파수 검출기(210), 전하 펌프(220), 저역 통과 필터(Low Pass Filter:이하, LPF라 함), 전압 제어 발전기(Voltage Controlled Oscillator:이하, VCO라 함)(240), 가산부(280) 및 래치부(290)를 포함한다.

도 2의 주파수 합성 장치는, 비교 주파수 신호와, VCO 주파수 신호를 위상/주파수 검출하고, 그 결과에 의해 로크 상태가 되도록 제어하여 원하는 VCO 주파수 신호를 생성하는 PLL 형태를 갖는다.

기준 카운터(200)는 외부에서 인가되는 기준 주파수 신호(f_{ref})를 소정 분주비로 분주하고, 분주된 결과를 위상/주파수 검출기(210)의 제1입력으로 인가한다. 예를 들어, 분주비는 R로 설정될 수 있으며, 기준 카운터(200)의 출력 신호는 비교 주파수 신호(f_r)로 나타낸다.

위상/주파수 검출기(210)는 비교 주파수 신호(f_r)와, 듀얼 모듈러스 분주기(250)에서 결정되는 소정 분주비에 의해 분주된 VCO 주파수 신호(f_{vco})의 위상 및 주파수를 검출하고, 검출된 위상 및 주파수 차에 상응하는 출력 신호를 생성한다.

전하 펌프(220)는 위상/주파수 검출기(210)의 출력 신호에 응답하여 소정의 전류를 소싱(sourcing) 또는 싱킹(sinking)하고, 소싱 또는 싱킹된 결과를 출력한다.

저역 통과 필터(230)는 전하 펌프(220)에서 출력되는 신호의 저역 성분을 필터링하여 직류의 VCO제어 전압(V_c)을 생성한다.

VCO(240)는 저역 통과 필터(LPF)(230)에서 출력되는 제어 전압(V_c)에 상응하여 발전하는 VCO주파수 신호(f_{vco})를 생성한다.

시그마-델타 변조기(270)는 듀얼 모듈러스 분주기(250)에서 결정된 분주비에 따라서 분주된 VCO주파수 신호(f_{vco}/N)를 클럭 입력하여 동작한다. PLL이 로크 상태일 때, f_{vco}/N 는 f_r 과 동일한 주파수를 갖는다. 시그마-델타 변조기(270)는 외부에서 인가되는 다수 비트의 입력 신호($IN(m,k)$)와 내부에서 설정되는 소정 피드백 계수(b_i)에 응답하여 시그마-델타 변조하며, 그 결과로서 분수 형태의 분주비 신호를 생성하여 1비트 신호($OUT(m)$)로서 출력한다. 여기에서, 입력 신호($IN(m)$)의 값은 k로 설정되며, 출력되는 1비트 신호는 0 또는 1이 될 수 있다. 즉, 상기 1비트 출력 신호($OUT(m)$)는 변조기(270)에서 양자화된 출력 신호의 최상위 비트를 나타내며, 최상위 비트는 디지털 값의 부호를 나타내는 부호 비트가 될 수 있다. 여기에서, 시그마-델타 변조기(270)의 출력을 1비트로 설정하는 것은 PLL의 비선형 문제를 피하기 위해서이다. 시그마-델타 변조기(270)의 구체적인 구성 및 동작에 관해서는 도 3을 참조하여 상세히 설명된다.

비트 컨버터(260)는 디지털 시그마-델타 변조기(270)에서 출력되는 1비트 출력 신호(0 또는 1)를 각각 n비트의 1과 -1로 변환하고, 변환된 n비트 신호를 출력한다. 여기에서, 비트 컨버터(260)의 출력을 1과 -1로 변환하는 이유는, 분수에 의해 조정될 수 있는 최소한의 주파수 조정 가능 범위(RANGE)(예를 들어, 0.5~0.5)를 맞춰주기 위함이다. 그러나, 비트 컨버터(260)의 설계 방식에 따라서 1과 -1 뿐만 아니라, 다른 값으로 컨버팅하는 것도 가능하다. 또한, 시스템을 설계하기에 따라서 비트 컨버터(260)를 이용하지 않고, 시그마-델타 변조기(270)의 출력을 그대로 이용하는 것도 가능하다.

래치부(290)의 제1래치(292)와 제2래치(294)는 각각 f_{vco} 의 분주비 중에서 정수부의 분주비를 결정하기 위한 정수 값(B, A)을 저장하는 역할을 한다. 즉, 정수 값(B, A)은 일정한 값으로 설정되지만, 이러한 값들은 프로그래머블한 값이 될 수 있다. 여기에서, 제1래치(292)와 제2래치(294)의 값은 합하여 n비트로 나타난다.

가산부(280)는 비트 컨버터(260)의 n비트 출력 신호와, 래치부(290)의 n비트 출력 신호를 가산하여 가

산된 n 비트 출력 신호를 생성한다. 이 값은 듀얼 모듈러스 분주기(250)에 입력되어 각각 메인 카운터(256)의 카운팅 값과 스칼로우 카운터(258)의 카운팅 값에 추가된다.

듀얼 모듈러스 분주기(250)는 가산부(280)에서 출력되는 n 비트 출력 신호에 응답하여 메인 카운팅 값과, 스칼로우 카운팅 값을 변화시키고, 변화된 카운팅 값에 의해 모듈러스 제어를 수행한다. 따라서, 모듈러스 제어에 의해 정수 및 분수 형태로 표현되는 f_{∞} 의 분주비(N)가 결정된다. 이러한 동작을 위해, 듀얼 모듈러스 분주기(250)는 프리스케일러(254), 모듈러스 제어부(252), 메인 카운터(256) 및 스칼로우 카운터(258)를 구비한다.

도 2의 듀얼 모듈러스 분주기(250)의 구성에 관하여 구체적으로 설명한다. 먼저, 모듈러스 제어부(252)는 각각 메인 카운터(256)의 카운팅 값과, 스칼로우 카운터(258)의 카운팅 값에 응답하여 모듈러스 제어를 수행하여 프리스케일러(254)의 분주비를 선택하기 위한 모듈러스 제어 신호를 생성한다.

프리스케일러(254)는 모듈러스 제어 신호에 응답하여 분주비(P 또는 $P+1$) 중 하나를 선택하고, 선택된 분주비에 따라서 VCO 발진 신호(f_{∞})를 분주한다. 예를 들어, 모듈러스 제어 신호가 하이 레벨인 경우, $P+1$ 이 선택되고, 로우 레벨인 경우에는 P 가 선택되도록 구현될 수 있다.

메인 카운터(256)는 프리스케일러(254)에서 분주된 신호에 응답하여 카운팅하고, 가산부(280)에서 출력되는 n 비트 값을 카운팅 시에 반영한다. 즉, 가산부(280)의 출력은 정수 형태의 분주비에, 시그마-델타 변조기(270)에서 구현된 분수 형태의 분주비가 더해진 값이므로, 더해진 값만큼 메인 카운터(256)의 카운팅 값이 달라지게 될 것을 알 수 있다. 또한, 스칼로우 카운터(258)는 프리스케일러(254)에서 분주된 신호에 응답하여 카운팅하고, 가산부(280)에서 출력되는 n 비트 값을 카운팅 시에 반영한다.

여기에서, 메인 카운터(256)와 스칼로우 카운터(258)는 프로그래머블 카운터로서, 초기에 소정 값으로 설정되어 있고, 프리스케일러(254)의 출력 신호에 응답하여, 초기 설정값으로 다른 카운팅을 시작한다. 대개의 경우에, 메인 카운터(256)의 값이 스칼로우 카운터(258)의 값보다 크기 때문에, 스칼로우 카운터(258)의 카운팅 값이 먼저 0가 된다. 이 때, 스칼로우 카운터(258)가 먼저 0가 되면, 스칼로우 카운터(258)는 잠시 동작을 중지한다. 이후에, 메인 카운터(256)의 다른 카운팅된 값이 0이 되면, 데이터 값이 로드되며 메인 카운터(256)와 스칼로우 카운터(258)는 다시 카운팅 동작을 수행한다.

도 2에 도시된 바와 같이, 본 발명에서, 멀티-모듈러스 분주기 대신에 듀얼 모듈러스 분주기를 이용하는 이유는 전술한 PLL의 비선형성에 의한 영향을 최소화하기 위함이다.

도 3은 도 2에 도시된 분수- N 주파수 합성 장치의 시그마-델타 변조기(270)를 설명하기 위한 실시예의 회로도로서, 4차 변조기의 경우의 예를 나타낸다. 도 3을 참조하면, 시그마-델타 변조기(270)는 제1-제4변조부(300-330), 오버플로우 검출기(340) 및 양자화기(350)를 포함한다.

제1-제4변조부(300-330)는 서로 직렬 연결되며, 외부에서 입력되는 다수 비트 입력 신호($IN(m,k)$)와 소정의 피드백 계수(b_i , $i=1-4$)에 의해 시그마-델타 변조한다. 여기에서, 피드백 계수(b_i)는 양자화기(350)의 출력 신호에 의해 선택된 값이다. 제1변조부(300)는 가산기(304), 멀티플렉서(306) 및 누산기(308)로 구성된다. 즉, 가산기(304)는 정입력 신호로서 외부 입력 신호($IN(m)$)를 인가하고, 부(-)입력으로서 멀티플렉서(306)의 출력 신호를 인가하며, 인가된 두 신호를 가산한다. 다수 비트 입력 신호($IN(m)$)는 일정 범위 내에 존재하는 상수들을 나타내며 프로그래머블한 값이다. 도 3에 구체적으로 도시되지는 않았으나, 상기 입력 신호($IN(m)$)는 $a1$ 이라는 가중(weighting) 값을 갖는 내부 가중치 계수에 의해 그 값이 가중되어 가산기(304)에 입력되는 것이 바람직하다. 그러나, $a1$ 은 대개 0-1 사이의 값으로 정해지므로, $a1$ 을 1로 설정하면 입력 신호($IN(m)$)가 그대로 전달되는 것과 같다. 또한, 피드백 계수 값(b_i)은 양자화기(350)에서 출력되는 최상위 1비트 값에 따라서 부계환이 되도록 선택되는 정 또는 부의 상수로 표현되며, 하드웨어적으로 고정된 값이다. 예를 들어, 피드백 계수($b1$)가 62976으로 설정된 경우, 양자화기(350)에서 출력된 최상위 1비트($OUT(m)$)가 0이면, 62976이 선택되어 입력 신호($IN(m)$)로부터 62976이 감산된다. 반면, 양자화기(350)에서 출력된 최상위 1비트($OUT(m)$)가 1이면 -62976이 선택되어 실제로는 입력 신호($IN(m)$)와 피드백 계수($b1$)가 더해진다.

누산기(308)는 가산기(304)의 출력 신호를 입력하여 이전의 누산된 값과 더하고, 누산된 출력은 제2변조부(310)의 가중기(312)로 입력된다. 누산기(308)를 보다 구체적으로 표현하면 하단부에 도시된 바와 같이, 가산기(36)와 지연기(38)로 구성된다. 따라서, 누산기(308)의 입력을 x 라고, 피드백된 입력을 y 라 하면, $x+y$ 값은 지연기(38)를 통하여 다시 y 값으로 입력된다. 또한, 지연된 값($x+y$)은 다음 단계의 가중기로 입력된다.

제2변조부(310)는 가중기(312), 가산기(314), 누산기(318) 및 멀티플렉서(316)를 포함한다. 가중기(312)는 제1변조부(300)를 통하여 입력된 데이터를 소정 수($a2$)만큼 가중시킨다. 한 예로써, 가중기(312)는 승산기(multiplier)를 이용하지 않고 쉬프트 레지스터로 간단히 구현될 수 있다. 예를 들어, $a1-a4$ 는 2^n 의 역수로 설정될 수 있으며, 이러한 경우에 가중기(312)에 입력되는 값은, 가중기(312)에 의해서 쉬프트되어 2^n 만큼 줄어든 값으로서 출력된다. 특히, 가중기(312)에 입력되는 데이터 값은, 동적 범위(dynamic range) 시뮬레이션을 통해서, 불필요한 낮은 비트를 절단하는 것이 가능하다. 뿐만 아니라, 쉬프팅 동작에 의해 나타나는 '0'의 상위 비트를 줄임으로써 비트의 최적화가 이루어질 수 있다.

제2변조부(310)의 가산기(314)는 가중기(312)에서 출력된 데이터와, 멀티플렉서(316)에서 선택되는 피드백 계수($b2$)의 값을 가산 또는 감산한다. 즉, 가산기(314), 누산기(318) 및 멀티플렉서(316)의 동작은 제1변조부(300)의 동작과 유사하다. 그러나, 멀티플렉서(316)에서 선택되는 피드백 계수($b2$)의 값은 비과 다를 수 있으며, 적절한 값으로 설정된다.

제3변조부(320)는 가중기(322), 가산기(324), 멀티플렉서(326) 및 누산기(328)로 구성된다. 또한, 제4변조부(330)는 가중기(332), 가산기(334), 멀티플렉서(336) 및 누산기(338)로 구성된다. 제3변조부(320)와 제4변조부(330)를 구성하는 각 구성 요소들의 동작은 제2변조부(310)의 구성 요소들과 유사하므로 구체적인 설명은 생략된다. 단지, 멀티플렉서(326, 336)에서 선택되는 피드백 계수($b3$, $b4$) 값이 서로 다를 수

있고, 가중기(322, 342)에서 설정되는 내부 가중치 계수(a3, a4)도 적절한 값을 갖도록 설정된다.

오버플로우 검출기(340)는 제4변조부(330)의 누산기(338)의 출력에서 오버플로우를 검출하고, 검출된 결과에 의해 제1~제4변조부(300~330)의 누산기들(308, 318, 328, 338)을 리셋시키기 위한 리셋 신호(reset)를 생성한다. 따라서, 누산기들(308, 318, 328, 338)은 리셋 신호(reset)에 응답하여 초기화된다. 여기에서, 오버플로우 검출기(340)는 분수 형태의 분주비(k/b1)가 0.5를 크게 초과하는 경우에 발생되므로, 일단 동작하게 되면 모든 누산기들(308, 318, 328, 338)이 리셋한다.

양자화기(350)는 제4변조부(330)의 누산기(338)의 출력 신호를 입력하여 최상위 비트를 0 또는 1로서 출력함으로써 구현된다. 양자화기(350)의 출력 신호는 각 제1~제4변조부(300~330)의 멀티플렉서들(306, 316, 326, 336)에서 피드백 계수 값(b1~b4)을 선택하는데 이용된다. 또한, 양자화기(350)의 출력 신호(OUT(m))는 도 2의 비트 컨버터(260)로 입력된다.

도 3에는 4차 시그마-델타 변조기에 대해서 도시되어 있으나, 도 5에서 설명될 확장된 개념의 변조기에 의해 n차 이상으로 확대되어 주파수 합성 장치에 적용되는 것이 가능하다.

이하에서, 도 2 및 3을 참조하여 본 발명에 따른 시그마-델타 변조기와, 이를 이용한 분수-N 주파수 합성 장치에 관하여 보다 구체적으로 설명된다.

먼저, 본 발명에 따른 분수-N 주파수 합성 장치는 도 3의 시그마-델타 변조기(270)를 이용함으로써 정수 형태 및 분수 형태를 갖는 f_{out}의 분주비를 구할 수 있다. 즉, 시그마-델타 변조기(270)의 출력이 반영되어, 듀얼 모듈러스 분주기(250)에서 구해지는 분주비는 다음 수학적 식 1에 나타난 바와 같으며, VCO주파수 신호(f_{ref})는 다음 수학적 식 1과 같이 구해질 수 있다.

$$f_{out} = N \cdot f_{ref} + (BP + A) \cdot \left(\frac{k}{b1} \right) \cdot f_{ref}$$

여기에서, BP+A는, 정수부의 분주비를 나타내고, k/b1은 4차 시그마-델타 변조기(270)에 의해 구해지는 분수의 분주비를 나타낸다. 전술한 바와 같이, B는 제1래치(292)에 설정된 값이고, A는 제2래치(294)에 설정된 값이며, P는 프리스케일러(254)에서 선택된 분주비(P 또는 P+1)를 나타낸다. 각 A, B 및 k는 정수로서 외부에서 프로그램이 가능한 값이다. 또한, b1은 고정된 값으로서, 이를 조절함으로써 주파수 해상도의 조절이 용이해진다. 또한, k값의 조절에 의해 비교 주파수(f_c)의 분수 값이 조정될 수 있다.

또한, 도 3에 도시된 시그마-델타 변조기(270)는 동작 특성 상, 낮은 주파수 대역에서 생성되는 양자화 노이즈를 높은 주파수쪽으로 보내는 노이즈 셰이퍼(noise shaper)의 역할을 한다. 구체적으로, 시그마-델타 변조기(270)는 각 변조부(300~330)의 누산기들(308, 318, 328, 338)을 통하여 입력 데이터를 누산하고, 그 출력을 쉬프트시키면서 양자화 노이즈의 셰이핑이 일어난다. 따라서, 노이즈 셰이핑이 존재하지 않는 경우와 비교할 때, 낮은 주파수의 노이즈는 크게 줄어들고, 높은 주파수의 노이즈는 낮은 주파수에서 줄어드는 양만큼 증가된다. 여기에서, 높은 주파수 대역에서 발생하는 노이즈는 저역 통과 필터를 사용하여 제거될 수 있다. 본 발명에서는 시그마-델타 변조기(270)에서 발생하는 높은 주파수 대역의 노이즈는 PLL이 가진 저역 통과 특성에 의해 PLL 루프에서 자연스럽게 제거될 수 있다. 그 결과로써, 주파수 합성 장치를 통하여 보다 높은 S/N비를 갖는 분수 값을 얻을 수 있다. 즉, 분수 형태의 유효 분주비(N_k)를 수학적 식 2로 나타내면 다음과 같다.

$$N_k = k/b1 \left(-\frac{b1}{2} \leq k \leq \frac{b1}{2} \right)$$

예를 들어, 상기 b1값을 62976을 사용하는 경우에, N_k는 k/62976이 되며, k의 범위는 -31448 ≤ k ≤ 31448 이 된다. 여기에서, k/b1은 안정된 동작을 위해, 그 범위가 -0.5에서 0.5 사이로 제한된다. 본 발명에서는, 피드백 계수(b1)를 선택하기 위해서 간단한 멀티플렉서만이 요구되지만, 반면, 도 1의 매쉬 타입 변조기에서는 분모(b1)가 2의 배수가 아닌 경우에는 복잡한 하드웨어를 필요로 한다. 따라서, 본 발명에서는 분수 형태의 분주비에 있어서, 분모(b1)가 2의 배수가 아닐 경우에는 하드웨어적으로 큰 이점을 갖는다는 것을 알 수 있다.

또한, 본 발명의 분수-N 주파수 합성 장치에 적용되는 시그마-델타 변조기(270)는 위상 노이즈를 효과적으로 제거할 수 있다. 즉, 위상 노이즈에 대한 본 발명의 효과를 설명하기 위해, 시그마-델타 변조기(270)의 노이즈 전송률(Noise Transfer Factor: 이하, NTF)을 Z 변환 함수로 나타내면 수학적 식 3과 같다.

$$NTF = \frac{(1-Z^{-1})^4}{D(Z)} = \frac{(1-Z^{-1})^4}{1+p1 \cdot Z^{-1} + p2 \cdot Z^{-2} + p3 \cdot Z^{-3} + p4 \cdot Z^{-4}}$$

여기에서, D(Z)는 Z⁻¹의 n차 다항식(polynomial)을 나타내며, 코너 주파수를 갖는 버터워스(Butterworth) n차 다항식이 사용되는 것이 안정된 설계를 위해 바람직하다.

반면, 도 1에 도시된 종래의 매쉬 타입 변조기는 고주파 통과 특성을 나타내며, 노이즈 전송률(NTF)은 다음 수학적 식 4와 같이 나타낼 수 있다.

$$NTF = (1-Z^{-1})^n$$

즉, 수학적 식 3과 4에서 비교되는 바와 같이, 본 발명에 따른 시그마-델타 변조기(270)의 노이즈 전송율(NTF)은, 매쉬 타입 변조기의 노이즈 전송율과 비교할 때, 0(2)으로 더 나누어진다는 점에서 차이가 있다. 이러한 노이즈 전송율에 대한 본 발명의 이점은 도 4에서 명확히 드러난다.

도 4(a) 및 도 4(b)는 종래의 매쉬 타입 변조기와 본 발명의 단일 출력 시그마-델타 변조기의 위상 노이즈 특성을 비교하기 위한 도면들로서, 도 4(a)와 도 4(b)는 각각 4차 매쉬 타입 변조기와, 4차 시그마-델타 변조기에 의한 S/N비를 나타낸다. 여기에서, 도 4(b)는 비교 주파수(fr)의 0.04배로 코너 주파수를 설정하여 측정한 결과이다.

즉, 도 4(a)에 도시된 종래의 매쉬 타입 변조기는 코너 주파수를 갖지 않고, 주파수가 증가함에 따라서 노이즈 파워가 계속 증가하는 반면, 도 4(b)에 도시된 본 발명의 변조기에서는 일정 주파수가 되면 노이즈 파워가 더 이상 증가하지 않으며 일정한 값으로 유지되는 것을 알 수 있다.

예를 들어, 수학적 식 3와 4의 n이 4라 가정하면, 종래의 매쉬 타입 변조기의 노이즈 전송율은, 주파수가 변조기의 클럭 주파수, 즉, 비교 주파수(f_r)의 1/2에 접근할 때, Z⁻¹ = -1이 된다. 이 때, 도 4(b)를 참조하면, 변조기의 루프 이득은 코너 주파수를 넘어서면서 0에 접근하기 때문에, 양자화 노이즈가 여과없이 출력되어 노이즈 전송율(NTF)은 1이 된다. 반면, 매쉬 타입 변조기에서는 상기 수학적 식 4으로부터 노이즈 전송율(NTF)이 16이 되는 것을 알 수 있다. 결과적으로, 본 발명에 따른 시그마-델타 변조기는 동일한 양의 양자화 노이즈가 주어졌다고 가정할 때, 매쉬 타입의 변조기에 비해 높은 오프셋 주파수에서 16배만큼 낮은 노이즈 파워를 나타낸다. 결과적으로, PLL에 적용될 때는, 16배만큼의 위상 노이즈가 감소된다는 것을 알 수 있다.

또한, 도 3에 도시된 본 발명의 시그마-델타 변조기(270)는 10KHz의 주파수 해상도를 정확히 구현할 수 있고, 결과적으로 이동 단말기에서 나타나는 주파수 에러를 줄여줄 수 있다. 이를 구체적으로 설명하면 다음과 같다. 본 발명에서 최소 주파수 해상도는 비교 주파수(f_a)/b_i로 설정된다. 예를 들어, 비교 주파수(f_r)가 9.84MHz이고, b_i가 629760이면 최소 주파수 해상도는 10KHz/64로 표현할 수 있다. 즉, 10KHz를 분자로 하는 유리수 형태로 나타내면, 10KHz의 정확한 주파수 해상도를 얻는 것이 가능하다.

또한, 본 발명에 따른 주파수 합성기의 시그마-델타 변조기(270)는 S/N비를 유지하면서 비트 최적화가 가능하며, 하드웨어적인 승산기를 필요로 하지 않는다. 대신, 가산기와, 일부 레지스터 및 간단한 멀티플렉서에 변조기(270)가 구현되기 때문에 시스템이 간단해진다는 장점이 있다. 그 외에도, 본 발명의 시그마-델타 변조기(270)는 4차 이상의 고차 변조기가 이용됨에 따라서 아이들링(IDLING) 톤이 거의 발생하지 않음으로써, 다른 변조기에서와 같은 LSB 디터링을 필요로 하지 않는다. 즉, 변조기의 차수가 낮은 경우에 비해, 차수가 높아지게 되면 주파수의 반복성이 줄어들기 때문에, 특정 주파수에서 나타나는 노이즈 성분이 줄어들 수 있다.

도 5는 도 3에 도시된 4차 시그마-델타 변조기의 확장된 형태를 설명하기 위한 회로도로서, 제1~제4변조부(400~430) 및 양자화기(440)로 구성된다.

도 5를 참조하면, 제1변조부(400)는 가중기(402), 가산기(404), 누산기(408) 및 멀티플렉서(406)를 포함한다. 멀티플렉서(406)는 양자화기(440)에서 출력되는 최상위 1비트 출력 신호(OUT(m))에 의해 피드백 계수(b_i)를 선택한다.

가중기(402)는 입력 신호(IN(m))를 인가하여 내부 가중치 계수(c₁) 만큼 입력 신호를 가중시켜 가산기(404)로 입력시킨다. 상기 가중치(c₁)는 0과 1 사이의 값으로 설정된다.

가산기(404)는 정입력 신호로서 인가되는 입력 신호(IN(m))와, 부입력 신호로서 인가되는 멀티플렉서(406)의 출력, 가중기(402)의 출력 및 또다른 부입력 신호로서 인가되는 가중기(440)의 출력을 가산한다. 여기에서, 가중기(440)는 b_i 이외에 또다른 피드백 계수로서, 제2변조부(410)의 출력에 소정 가중치(γ₁)를 부가하여 가산기(404)에서 감산한다. 여기에서, 피드백 계수(γ₁)도 0과 1 사이의 값으로 설정된다.

또한, 제1변조부(400)의 입력 신호(IN(m))는 내부 가중치 계수(a₁)에 의해 가중되어 가산기(404)로 입력될 수 있다. 그러나, 도 3에서 설명한 바와 같이, 가중치(a₁)가 1인 경우에는 입력 신호(IN(m))가 그대로 전달된다.

제2~제4변조부(410~430)의 구성도 제1변조부(400)와 유사하므로, 구체적인 설명은 생략된다. 또한, 제4변조부(430)의 누산기(438)의 출력은 피드백 계수(γ₂)에 의해 가중되어 제3변조부(420)의 가산기(424)의 부입력 신호로서 인가된다. 제4변조부(430)의 출력은 양자화기(440)를 거쳐서 양자화되고, 그 결과는 최상위 1비트 출력(OUT(m))으로서 생성된다.

즉, 도 5에 도시된 시그마-델타 변조기는 도 3에 도시된 시그마-델타 변조기의 변형된 형태로서, 본 발명에 따른 분수-N 주파수 합성 장치에 동일하게 적용되는 것이 가능하다.

도 6은 본 발명에 따른 시그마-델타 변조기를 이용한 분수-N 주파수 합성 장치에서 수행되는 주파수 합성 방법을 설명하기 위한 플로우차트이다.

도 2 ~ 도 6을 참조하여 분수-N 주파수 합성 방법이 구체적으로 설명된다. 먼저, 도 3의 시그마-델타 변조기(270)에는 시그마-델타 변조를 위한 k와, b_i값이 설정된다(제600단계). 제600단계에서 b_i와 k_i이 설정되면, 설정된 b_i와 k_i에 의해 시그마-델타 변조하여, 분수 형태로 표현되는 분주비 신호를 1비트(OUT(m))로 출력한다(제610단계). 이 때, 제610단계에서, 출력되는 1비트 출력 신호(OUT(m))를 제1 래치(292)에 저장된 B값과, 제2래치(294)에 저장된 A 값에 더하고, 더해진 값을 듀얼 모듈러스 분주기(250)의 메인 카운터(256)와, 스칼로우 카운터(258)의 카운팅 값에 부가한다(제620단계).

따라서, 듀얼 모듈러스 분주기(250)의 메인 카운터(256)와 스칼로우 카운터(258)의 카운팅 값은 도 2의 가산부(280)의 n비트 출력에 의해 그 값이 달라진다. 따라서, 상기 제620단계에서 부가된 메인 카운팅 값

및 스칼로우 카운팅 값에 의해 듀얼 모듈러스 분주가 수행된다(제630단계). 전술한 바와 같이, 프리스케일러(254)의 분주비 P 또는 P+1은 메인 카운터(256)와, 스칼로우 카운터(258)의 카운팅 값에 의한 모듈러스 제어 신호에 의해 결정된다. 이 때, 시그마-델타 변조기(270)에서 출력되는 변조 신호의 출력 상태가 변화되었는지가 판단된다(제640단계). 만일, 제640단계에서, 시그마-델타 변조된 출력 상태가 변화되지 않는다면, 정수 및 분수로 표현되는 VCO 주파수 신호의 분주비, 즉, $BP \cdot A \cdot k/b1$ 가 출력된다(제650단계). 따라서, 제650단계에서 출력된 분주비*비교 주파수(f_c)에 의해 VCO 주파수 신호(f_{vco})를 얻을 수 있다(제660단계).

제650단계에서 분주비를 출력하는 과정은 도 2에 도시된 바와 같이, 전하 펌프(220)와 저역 통과 필터(230)를 통하여 저역 필터링되는 과정을 거쳐서 이루어진다. 또한, 제640단계에서 시그마-델타 변조된 출력 상태가 변화된다면, 제620단계로 복귀하여 상기의 과정이 반복된다.

이상, 도면과 명세서에서 최적 실시예들이 개시되었다. 여기서 특정한 용어들이 사용되었으나, 이는 단지 본 발명을 설명하기 위한 목적에서 사용된 것이지 의미한정이나 특허청구범위에 기재된 본 발명의 범위를 제한하기 위하여 사용된 것은 아니다. 그러므로 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의해 정해져야 할 것이다.

본 발명의 효과

본 발명에 따르면, 분수-N 주파수 합성 장치는 비선형성에 민감하지 않으므로, 특정 구간에서 발생하는 큰 스퍼(Spur)를 얻을 수 있고, 높은 주파수 대역에서 위상 노이즈를 10dB 이상 줄일 수 있다는 효과가 있다. 또한, 본 발명에서는 시그마-델타 변조기에 의해 피드백 계수(b1)를 조절하여 주파수 해상도를 쉽게 조절할 수 있고, 하드웨어를 단순화시킬 수 있다는 장점이 있다.

또한, 본 발명에 따르면, 10KHz의 주파수 해상도를 정확하게 얻을 수 있고, 변조기에서 하드웨어적인 비트 최적화를 수행함으로써 전체적인 하드웨어 사이즈를 줄일 수 있다는 효과가 있다. 또한, 본 발명에서는 4차 이상의 고차 시그마-델타 변조기를 이용함으로써 아이들링 톤 수행 능력을 향상시키고, 별도의 LSB 디터링 회로를 필요로 하지 않는다는 장점이 있다.

(57) 청구의 범위

청구항 1. 기준이 되는 비교 주파수 신호와, 소정 분주비에 의해 분주된 전압 제어 발전 주파수 신호를 위상/주파수 검출하고, 상기 위상/주파수 검출된 결과에 의해 상기 전압 제어 발전 주파수 신호를 생성하는 위상 동기 루프 형태의 분수-N 주파수 합성 장치에 있어서,

다수 비트로 표현되는 외부 입력 신호와, 소정의 설정된 피드백 계수를 가지고, 상기 외부 입력 신호와 상기 피드백 계수에 응답하여 시그마-델타 변조하며, 상기 변조된 결과로서 분수 형태의 분주비 신호를 생성하여 1비트 신호로서 출력하는 시그마-델타 변조기; 및

상기 시그마-델타 변조기에서 출력되는 상기 1비트 출력 신호와 미리 설정된 제1, 제2소정 수를 가산하는 제1가산 수단; 및

상기 제1가산 수단의 출력에 응답하여 듀얼 모듈러스 카운팅 값을 변화시키고, 상기 변화된 카운팅 값에 의해 모듈러스 제어를 수행하여, 정수 및 분수 형태로 표현되는 상기 전압 제어 발전 신호의 분주비를 결정하는 듀얼 모듈러스 분주기를 구비하는 것을 특징으로 하는 분수-N 주파수 합성 장치.

청구항 2. 제1항에 있어서, 상기 시그마-델타 변조기는,

각각이 직렬 연결되고, 상기 외부 입력 신호와 상기 피드백 계수에 응답하여 시그마-델타 변조하고, 상기 변조된 결과를 1비트 출력 신호로서 생성하는 제1-제M(>1) 변조부를 구비하고,

상기 제1-제M변조부는,

상기 1비트 출력 신호에 응답하여 상기 피드백 계수를 선택하는 멀티플렉서;

입력 신호를 소정의 내부 가중치 계수에 응답하여 가중시키고, 상기 가중된 결과를 출력하는 적어도 하나의 가중 수단;

상기 가중 수단의 출력을 정 입력 신호로서 인가하고, 상기 멀티플렉서의 출력을 부 입력 신호로서 인가하여 서로 가산하는 제2가산 수단; 및

상기 제2가산 수단의 출력을 누산하고, 상기 누산된 결과를 출력하는 누산기를 각각 구비하고,

상기 제1변조부의 입력 신호는 상기 외부 입력 신호이고, 상기 제2-제M변조부의 입력 신호는 이전 단계의 변조부의 출력 신호인 것을 특징으로 하는 분수-N 주파수 합성 장치.

청구항 3. 제2항에 있어서, 상기 M차 시그마-델타 변조기는,

상기 제M변조부에 구비되는 제M누산기의 출력에서 발생하는 오버플로우를 검출하며, 상기 제1-제M누산기를 리셋시키는 리셋 신호를 생성하는 오버플로우 검출기를 더 구비하는 것을 특징으로 하는 분수-N 주파수 합성 장치.

청구항 4. 제2항에 있어서, 상기 M차 시그마-델타 변조기는, 4차 시그마-델타 변조기인 것을 특징으로 하는 분수-N 주파수 합성 장치.

청구항 5. 제2항에 있어서, 상기 M차 시그마-델타 변조기는,

상기 내부 가중치 계수에 의해 상기 각 누산기의 비트 수를 최적화하는 것을 특징으로 하는 분수-N 주파수

수 합성 장치.

청구항 6. 제1항에 있어서, 상기 듀얼 모듈러스 분주기는,

소정 모듈러스 제어 신호에 응답하여 상기 전압 제어 발전 주파수 신호의 분주비를 선택하고, 상기 분주비에 의해서 상기 전압 제어 발전 주파수 신호를 분주하는 프리스케일러;

상기 프리스케일러에서 분주된 신호에 응답하여 카운팅하고, 카운팅된 결과에 상기 제1가산 수단의 출력 신호를 반영하여 메인 카운팅 값으로서 출력하는 메인 카운터;

상기 프리스케일러에서 분주된 신호에 응답하여 카운팅하고, 상기 제1가산 수단의 출력 신호를 반영하여 스칼로우 카운팅 값으로서 출력하는 스칼로우 카운터; 및

상기 메인 카운터의 카운팅값과, 상기 스칼로우 카운터의 카운팅 값에 응답하여 상기 모듈러스 제어 신호를 생성하는 모듈러스 제어부를 구비하는 것을 특징으로 하는 분수-N 주파수 합성 장치.

청구항 7. 제1항에 있어서, 상기 분수-N 주파수 합성 장치는,

상기 시그마-델타 변조기에서 출력되는 1비트 출력 신호를 비트 컨버팅하여 상기 비트 컨버팅된 결과를 상기 제1가산 수단으로 인가하는 비트 컨버터를 더 구비하는 것을 특징으로 하는 분수-N 주파수 합성 장치.

청구항 8. 제7항에 있어서, 상기 분수-N 주파수 합성 장치는,

상기 제1, 제2 소정 수를 각각 래치하는 제1, 제2래치를 더 구비하는 것을 특징으로 하는 분수-N 주파수 합성 장치.

청구항 9. 기준이 되는 비교 주파수 신호와, 소정 분주비에 의해 분주된 전압 제어 발전 주파수 신호를 위상/주파수 검출하고, 상기 위상/주파수 검출된 결과에 의해 상기 전압 제어 발전 주파수 신호를 생성하는 위상 동기 루프에서 수행되는 분수-N 주파수 합성 방법에 있어서,

(a)시그마-델타 변조를 위한 외부 입력 신호와 피드백 계수를 설정하는 단계;

(b)상기 외부 입력 신호와 상기 피드백 계수에 의해 시그마-델타 변조하여 분수 형태로 표현되는 분주비 신호를 1비트로 출력하는 단계;

(c)상기 1비트 출력을 제1, 제2소정수와 가산하고, 상기 가산된 값을, 메인 카운팅 값과 스칼로우 카운팅 값에 추가하는 단계;

(d)상기 부가된 메인 카운팅 값 및 상기 스칼로우 카운팅 값에 의해 듀얼 모듈러스 분주를 수행하는 단계;

(e)상기 시그마-델타 변조된 출력 상태가 변화되었는지를 판단하고, 상기 출력 상태가 변화되지 않았으면 정상 및 분수 형태($BP+A+k/bi$, 여기에서, B 와 A 는 각각 제1, 제2소정 수, P 는 모듈러스 제어에 의해 결정된 분주비)로 표현되는 분주비를 출력하는 단계; 및

(f)상기 (e) 단계에서 결정된 상기 분주비와 상기 비교 주파수 신호를 곱하여 상기 전압 제어 발전 주파수 신호를 생성하는 단계; 및

(g)상기 (e)단계에서 상기 시그마-델타 변조된 출력 상태가 변화되었으면, 상기 (c) 단계로 복귀하는 단계를 구비하는 것을 특징으로 하는 분수-N 주파수 합성 방법.

청구항 10. 제9항에 있어서, 상기 (b) 단계는,

소정의 내부 가중치 계수에 의해 가중된 상기 외부 입력 신호와 상기 피드백 계수를 가산 및 누산하고, 상기 누산된 결과를 출력하는 M 차 변조를 수행하는 것을 특징으로 하는 분수-N 주파수 합성 방법.

청구항 11. 제9항에 있어서, 상기 (b)단계는,

상기 누산 결과에 의해 오버플로우가 발생되면, 상기 누산 동작을 리셋시키는 것을 특징으로 하는 분수-N 주파수 합성 방법.

청구항 12. 외부 입력 신호와, 소정의 피드백 계수에 응답하여 분수 형태의 분주비 신호를 생성하는 시그마-델타 변조기에 있어서,

서로 직렬 연결되고, 상기 외부 입력 신호와 상기 피드백 계수를 가산 및 누산하여 시그마-델타 변조하고, 상기 변조된 결과를 1비트 출력 신호로서 생성하는제1~제 M 변조부를 구비하고,

상기 제1~제 M 변조부는,

상기 1비트 출력 신호에 응답하여 상기 피드백 계수를 선택하는 멀티플렉서;

상기 외부 입력 신호를 소정의 내부 가중치 계수에 응답하여 가중시키고, 상기 가중된 결과를 출력하는 적어도 하나의 가중 수단;

상기 가중 수단의 출력을 정입력 신호로서 인가하고, 상기 멀티플렉서의 출력을 부입력으로서 인가하여 서로 가산하는 가산 수단; 및

상기 가산 수단의 출력을 누산하고, 상기 누산된 결과를 다음 단계의 변조부의 입력으로 인가하는 누산기를 각각 구비하는 것을 특징으로 하는 시그마-델타 변조기.

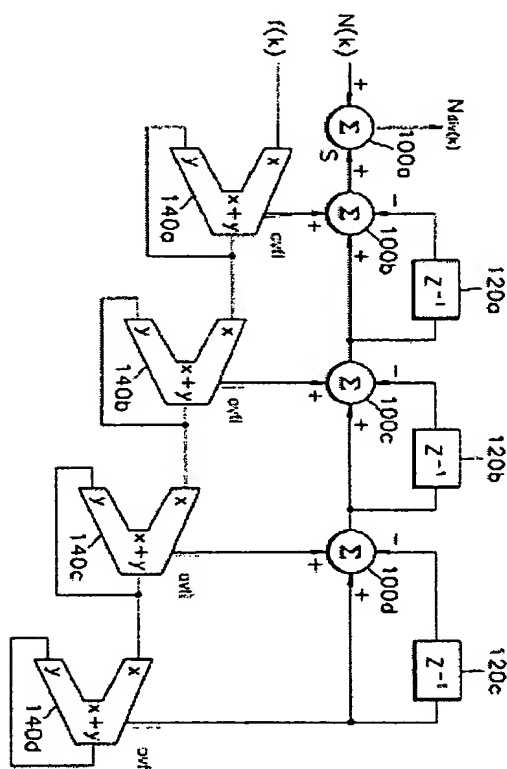
청구항 13. 제12항에 있어서, 상기 시그마-델타 변조기는,

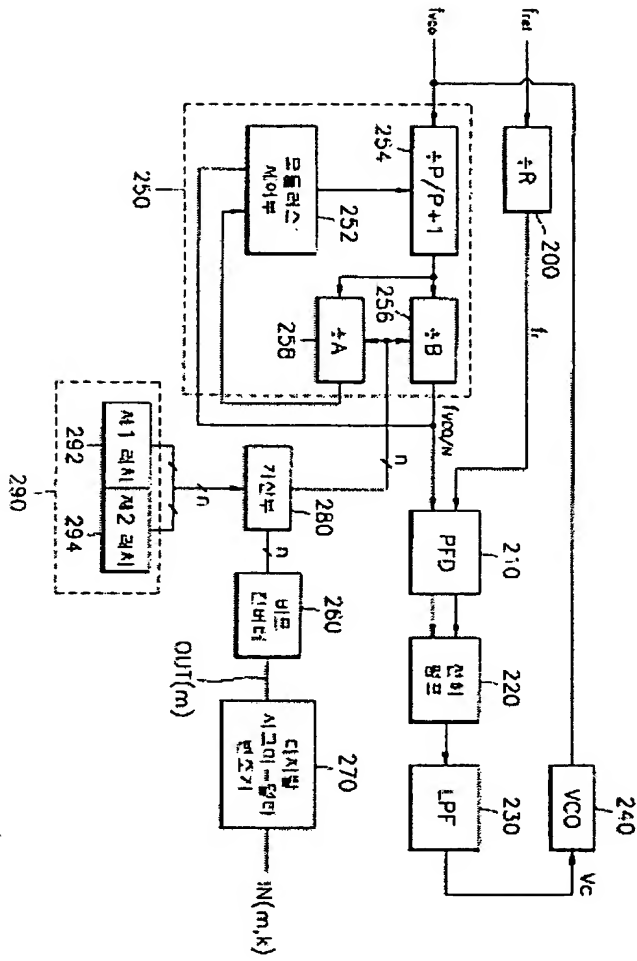
상기 제 M 변조부에 구비되는 제 M 누산기의 출력 신호로부터 오버플로우를 검출하고, 상기 검출된 결과에 의

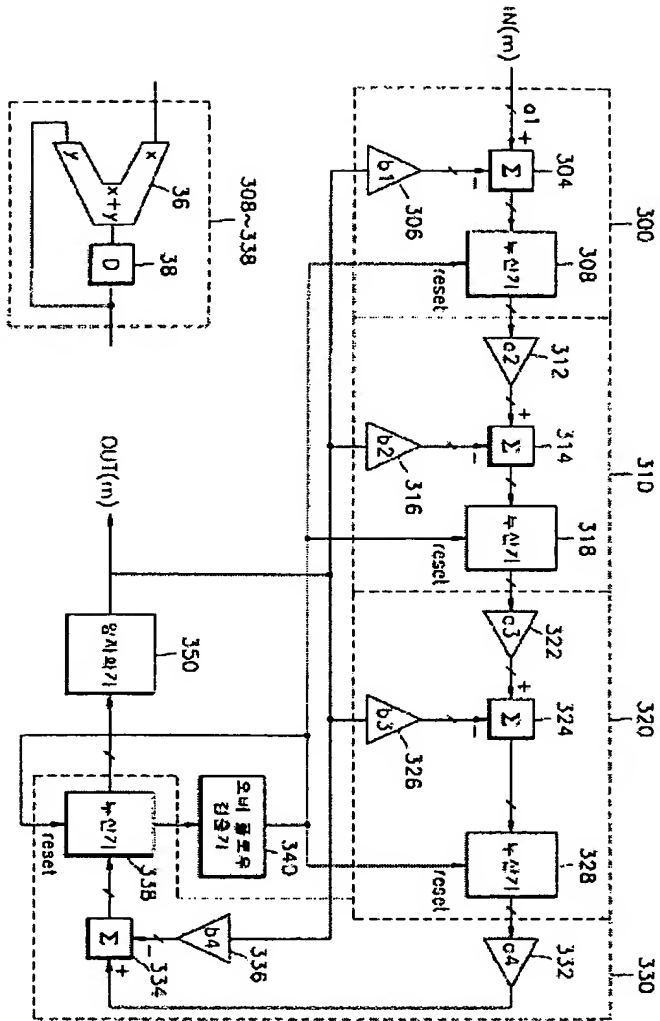
해 상기 제1~제M누산기를 리셋시키기 위한 리셋 신호를 생성하는 오버플로우 검출기를 더 구비하는 것을 특징으로 하는 시그마-델타 변조기.

도면

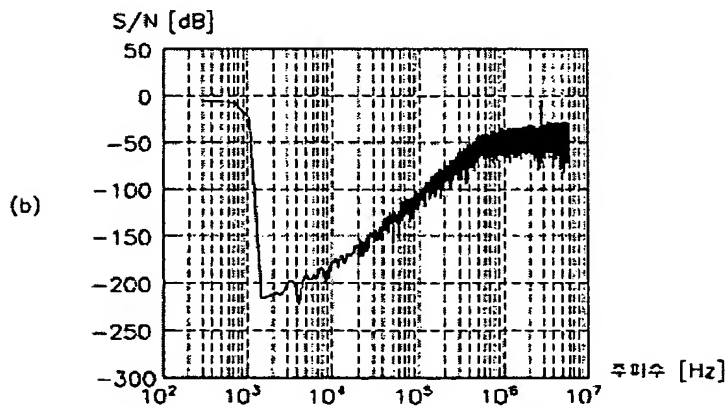
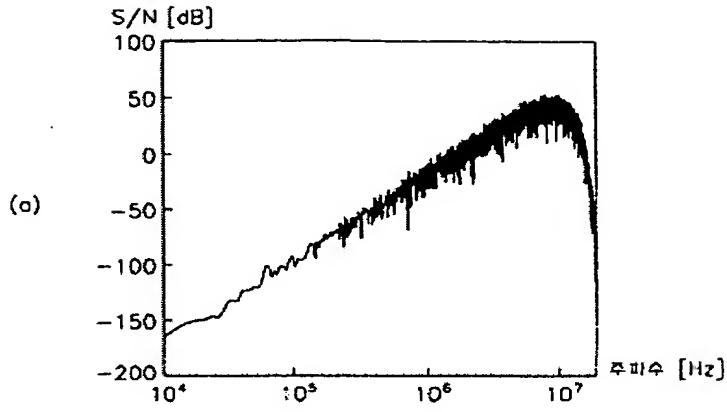
도면1



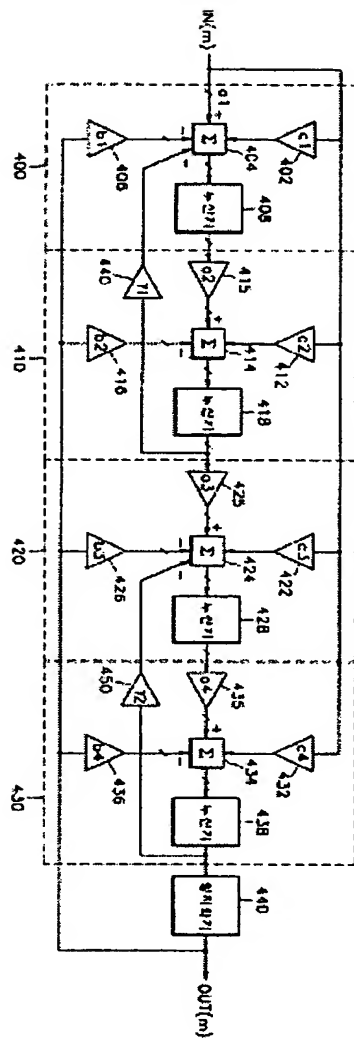




도 14



도 15



도면

